



OKI.298

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re PATENT APPLICATION of

Hirokazu Hayashi

Group Art Unit: 2128

Serial No.: 10/059,176

Examiner: A. Saxena

Filed: January 31, 2002

Confir. No.: 7695

For: METHOD FOR MODELING SEMICONDUCTOR DEVICE PROCESS

CLAIM OF PRIORITY

U.S. Patent and Trademark Office
Customer Window
Randolph Building
401 Dulany Street
Alexandria, VA 22314

Date: October 30, 2006

Sir:

Applicant, in the above-identified application, hereby claims the priority date
under the International Convention of the following Japanese application:

Appln. No. 2001-246268

filed August 14, 2001

as acknowledged in the Declaration of the subject application.

A certified copy of said application is being submitted herewith.

Respectfully submitted,

VOLENTINE FRANCOS & WHITT, P.L.L.C.

Andrew J. Telesz, Jr.
Registration No. 33,581

One Freedom Square
11951 Freedom Drive, Suite 1260
Reston, Virginia 20190
Tel. (571) 283-0720
Fax. (571) 283-0740

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
る事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出 願 年 月 日
Date of Application:

2 0 0 1 年 8 月 1 4 日

出 願 番 号
Application Number:

特 願 2 0 0 1 - 2 4 6 2 6 8

パリ条約による外国への出願
に用いる優先権の主張の基礎
となる出願の国コードと出願
号

The country code and number
of your priority application,
which may be used for filing abroad
under the Paris Convention, is

J P 2 0 0 1 - 2 4 6 2 6 8

願 人
Applicant(s):

沖電気工業株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2 0 0 6 年 8 月 2 4 日

特許庁長官
Commissioner,
Japan Patent Office

中 嶋



【書類名】 特許願

【整理番号】 KT000354

【提出日】 平成13年 8月14日

【あて先】 特許庁長官 及川 耕造 殿

【国際特許分類】 H01L 21/00
H01L 21/22

【発明者】

【住所又は居所】 東京都港区虎ノ門 1 丁目 7 番 1 2 号 沖電気工業株式会
社内

【氏名】 林 洋一

【特許出願人】

【識別番号】 000000295

【氏名又は名称】 沖電気工業株式会社

【代理人】

【識別番号】 100095957

【弁理士】

【氏名又は名称】 亀谷 美明

【電話番号】 03-5919-3808

【選任した代理人】

【識別番号】 100096389

【弁理士】

【氏名又は名称】 金本 哲男

【電話番号】 03-3226-6631

【選任した代理人】

【識別番号】 100101557

【弁理士】

【氏名又は名称】 萩原 康司

【電話番号】 03-3226-6631

【先の出願に基づく優先権主張】**【出願番号】** 特願2001-160692**【出願日】** 平成13年 5月29日**【手数料の表示】****【予納台帳番号】** 040224**【納付金額】** 21,000円**【提出物件の目録】****【物件名】** 明細書 1**【物件名】** 図面 1**【物件名】** 要約書 1**【包括委任状番号】** 9707549**【包括委任状番号】** 9707550**【包括委任状番号】** 9707551**【プルーフの要否】** 要

【書類名】 明細書

【発明の名称】 半導体プロセスデバイスモデリング方法

【特許請求の範囲】

【請求項 1】 SiO_2 層のデータを設定する第 1 工程と、
前記 SiO_2 層に接して形成された Si 層のデータを設定する第 2 工程と、
前記 Si 層内に複数のセルを設定し、それぞれの前記セルに含まれる不純物の量を設定する第 3 工程と、
それぞれの前記セルに含まれる前記不純物が、他の前記セルへ移動する単位時間あたりの量を設定する第 4 工程と、
前記 SiO_2 層と前記 Si 層との界面付近の前記セルを、不純物パイルアップ部とするデータを設定する第 5 工程と、
前記 Si 層内に、ソースまたはドレインの位置のデータを設定する第 6 工程と、
前記第 1 工程、前記第 2 工程、前記第 3 工程、前記第 4 工程、前記第 5 工程、前記第 6 工程がそれぞれ終了した後、それぞれの前記セルに含まれる前記不純物の量を単位時間ごとに計算する第 7 工程とを含み、
それぞれの前記セルから前記不純物パイルアップ部に移動する前記不純物の移動量は、それぞれの前記セルから前記不純物パイルアップ部までの距離（以下距離 r_1 とする）と、それぞれの前記セルから前記ソースまたは前記ドレインまでの距離（以下距離 r_2 とする）の関数とすることを特徴とする半導体プロセスデバイスモデリング方法。

【請求項 2】 前記ソースまたは前記ドレインの位置のデータは、前記 Si 層内において前記ソースまたは前記ドレインが所定の領域に分布するように設定し、前記距離 r_2 は、それぞれの前記セルと前記所定の領域との距離とすることを特徴とする請求項 1 に記載の半導体プロセスデバイスモデリング方法。

【請求項 3】 前記不純物の移動量は、それぞれの前記セルから前記不純物パイルアップ部とされたそれぞれの前記セルを見込む立体角の関数とすることを特徴とする請求項 1 に記載の半導体プロセスデバイスモデリング方法。

【請求項 4】 単位時間ごとに前記不純物が一部生成または消滅するデータ

を設定する工程を有することを特徴とする請求項1に記載の半導体プロセスデバイスモデリング方法。

【請求項5】 前記第6工程において、前記ソースまたは前記ドレインは前記Si層内に複数存在するとし、

特定の前記ソースの位置のデータまたは特定の前記ドレインの位置のデータを無視するデータを設定する工程を有することを特徴とする請求項1に記載の半導体プロセスデバイスモデリング方法。

【請求項6】 逆短チャネル効果の大きさのデータを格納する第8工程と、前記第7工程で計算された不純物量を用いてしきい電圧を計算する第9工程と、を有することを特徴とする請求項1, 2, 3, 4, または5のいずれかに記載の半導体プロセスデバイスモデリング方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体プロセスデバイスモデリング方法にかかり、特に半導体中の不純物拡散、及びMOS型電界効果トランジスタ(MOSFET)のしきい電圧の逆短チャネル効果のモデリング方法に関するものである。

【0002】

【従来の技術】

過剰な点欠陥が半導体中に存在した場合の不純物拡散のメカニズムを図9に示す。過剰な点欠陥は主に高ドーズのイオン注入工程で発生する。特に、MOSFETのソース／ドレイン(S/D)イオン注入工程で発生した過剰な点欠陥がその直後の熱処理によって不純物とペアを組み、不純物／点欠陥ペアの分離と結合を繰り返しながら拡散し、その後、Si/SiO₂界面にたどり着いたペアのうち、点欠陥は消滅し、ペアを組んでいた不純物がそこで堆積(パイルアップ)する。

【0003】

図10は、ゲート長が2.03 μm , 0.52 μm , 0.21 μm とした場合のチャネル方向の距離Distanceと、不純物濃度Conc.との関係を示

している。図中、不純物濃度が低い部分はチャンネルに対応しており、その両側のドレインおよびソースに対応する部分に、不純物パイルアップによる不純物濃度の上昇が見られる。

【0004】

このパイルアップ量はS/Dインプラ位置に近いゲート端でもっとも大きく、チャンネルに向かって減衰する。MOSFETのしきい電圧の逆短チャンネル効果（ゲート長が短くなるに連れてしきい電圧が増加する現象）はこのパイルアップが主要因で起こるとされている。

【0005】

図11は、基板バイアス V_B が、0V、-3V、-5Vのときのゲート長 L_g としきい電圧 V_{th} の関係を示している。半導体デバイスにおいて、応答速度や集積度を高めようとしてデバイス寸法を小さくすると、一般的にこれに応じてゲート長も短くなる。

【0006】

一方、しきい電圧 V_{th} は、ゲート長 L_g に関係なく一定であることが回路設計上望ましいが、ゲート長 L_g が短くなると（図11においては約 $1\mu\text{m}$ 以下）、しきい電圧 V_{th} が上下に変動する逆短チャンネル効果が見られる。

【0007】

従来の半導体中の不純物拡散を記述するモデルは大きく分けて三つある。一つは、解析対象領域を設定し、各々の不純物に対して1本の拡散方程式を解き、半導体中の不純物分布を計算する方法、（以下Fairモデルと呼ぶ）と、二つめは、解析対象領域を設定し、点欠陥と不純物がペアを形成して拡散することを想定して、点欠陥自身と不純物／点欠陥ペアに対するそれぞれの拡散方程式を解き、半導体中の不純物分布を計算する方法（以下ペア拡散モデルと呼ぶ）と、三つめは、解析領域を設定し、Fairモデルの枠組みで、点欠陥に関連した拡散方程式を解かずに簡便にその効果を取り込む簡易モデルである。

【0008】

図12は、Fairモデルおよびペア拡散モデルを説明する図である。図12に示すように一つめのFairモデルは、解くべき方程式の数が少ないため、計

算時間が早く、手軽に扱える利点がある反面、不純物拡散に対する点欠陥の影響を扱っていないため、 Si/SiO_2 界面での不純物パイルアップを再現できない欠点がある。

【0009】

二つめのペア拡散モデルは、不純物拡散に対する点欠陥の影響を厳密に扱っているので、高精度にシミュレーションできる利点がある反面、不純物の数が増えれば、解くべき方程式の数も増えるので、計算時間が増大する欠点がある。

【0010】

三つめの簡易モデルは、計算時間とシミュレーション精度のトレードオフをうまく吸収できる利点があるが、モデルの適用範囲とプロセス依存性をどこまで再現できるかが鍵になる。

【0011】

簡易モデルには、たとえば特願平 12-084716 の簡易モデルが挙げられる。図 13 は、上記簡易モデルを説明する図、図 14 は、半導体基板中の不純物パイルアップの横方向分布を表す図、図 15 は上記簡易モデルを説明するフローチャートである。

【0012】

図 13、14 および 15 に示すように、まず、 Si 層を複数のセルに分割する。 Fair モデルで再現できない Si/SiO_2 界面での不純物パイルアップを、点欠陥に関連した拡散方程式を解かずに、基板領域の不純物量の一部分を Si/SiO_2 界面に移動させてパイルアップを構成する。その不純物移動量は注目している界面位置と基板領域のセルまでの距離の関数とする方法を用いている。

【0013】

このような拡散モデルを用いて、しきい電圧の逆短チャネル効果をモデリングする場合は、

(1) ペア拡散モデルを用いて不純物分布を計算し、そのまま電気特性を計算する方法

(2) 簡易モデルを用いて不純物分布を計算し、そのまま電気特性を計算する方法などがある。

【0014】

【発明が解決しようとする課題】

しかしながら、上記方法ではいくつかの問題点がある。

1. ペア拡散モデルは計算時間が増大するため、プロセス・デバイス・回路間での感度解析、プロセス最適化、プロセスバラツキ解析、モデルパラメータのキャリブレーションなど複数回のシミュレーションを実行する必要がある場合は、ペア拡散モデルの利用は困難である。

【0015】

2. 従来の簡易モデルでは、 Si/SiO_2 界面への不純物移動量計算を界面位置と基板領域のセルまでの距離だけの関数で表現しているため、不純物濃度再分布に対する S/D プロセス依存性を再現できない。

【0016】

3. また、従来の簡易モデルでは、界面での不純物パイルアップの形を先に決めてしまうので、パイルアップの形状に対するプロセス依存性の予測ができない。という問題点がある。

【0017】

本発明は、従来の半導体プロセスデバイスモデリング方法が有する上記問題点に鑑みてなされたものであり、

- ・ Fair モデルの枠組みで、 Si/SiO_2 界面での不純物パイルアップの S/D プロセス依存性を再現でき、
- ・ 不純物パイルアップの形状を予測でき、
- ・ その不純物プロファイルを利用して、しきい電圧の逆短チャネル効果を再現でき、
- ・ 高速計算可能な方法を提供することを目的とする。

【0018】

【課題を解決するための手段】

上記課題を解決するため、本発明によれば、 SiO_2 層のデータを設定する第1工程と、 SiO_2 層に接して形成された Si 層のデータを設定する第2工程と

、Si層内に複数のセルを設定し、それぞれのセルに含まれる不純物の量を設定する第3工程と、それぞれのセルに含まれる不純物が、他のセルへ移動する単位時間あたりの量を設定する第4工程と、SiO₂層とSi層との界面付近のセルを、不純物パイルアップ部とするデータを設定する第5工程と、Si層内に、ソースまたはドレインの位置のデータを設定する第6工程と、第1工程、第2工程、第3工程、第4工程、第5工程、第6工程がそれぞれ終了した後、それぞれのセルに含まれる不純物の量を単位時間ごとに計算する第7工程とを含み、それぞれのセルから不純物パイルアップ部に移動する不純物の移動量は、それぞれのセルから不純物パイルアップ部までの距離（以下距離 r 1 とする）と、それぞれのセルからソースまたはドレインまでの距離（以下距離 r 2 とする）の関数とする半導体プロセスデバイスモデリング方法が提供される。

【0019】

ソースまたはドレインの位置のデータは、Si層内においてソースまたはドレインが所定の領域に分布するように設定し、距離 r 2 は、それぞれのセルと前記所定の領域との距離とすることができる。

【0020】

不純物の移動量は、それぞれのセルから不純物パイルアップ部とされたそれぞれのセルを見込む立体角の関数としてもよい。また、単位時間ごとに不純物が一部生成または消滅するデータを設定する工程を有する半導体プロセスデバイスモデリング方法でもよい。

【0021】

第6工程において、ソースまたはドレインはSi層内に複数存在するとし、特定のソースの位置のデータまたは特定のドレインの位置のデータを無視するデータを設定する工程を有することもできる。

【0022】

また、逆短チャネル効果の大きさのデータを格納する第8工程と、第7工程で計算された不純物量（不純物分布）を用いてしきい電圧を計算する第9工程とを有するようにしてもよい。

【0023】

かかる構成によれば、Fairモデルの枠組みで、 Si/SiO_2 界面での不純物パイルアップのS/Dプロセス依存性を再現し、不純物パイルアップの形状を予測でき、さらにその不純物プロファイルを利用して、しきい電圧の逆短チャネル効果を再現できる、高速計算可能な半導体プロセスデバイスモデリング方法が提供できる。

【0024】

【発明の実施の形態】

以下に添付図面を参照しながら、本発明にかかる半導体プロセスデバイスモデリング方法の好適な実施の形態について詳細に説明する。なお、本明細書及び図面において、実質的に同一の機能構成を有する構成要素については、同一の符号を付することにより重複説明を省略する。

【0025】

(第1の実施の形態)

本実施の形態にかかる半導体プロセスデバイスモデリング方法は、S/Dプロセス依存性を再現できない従来の簡易モデルに関して、点欠陥に関連した拡散方程式を解かずに、基板領域の不純物量の一部分を Si/SiO_2 界面に移動させて不純物パイルアップを構成するが、その不純物移動量をパイルアップ位置からの距離 r_1 と、最も近い界面のS/Dプロファイル位置までの距離 r_2 の関数として決定する方法である。

【0026】

従来の簡易モデルでは、たとえば、S/Dインプラドーズ量を変更した場合、 Si 層内の各セルから Si/SiO_2 界面への不純物移動量計算に対して、S/Dプロセスに関する情報が反映されていないため、界面での不純物パイルアップに対するS/Dプロセス依存性が再現できなかった。

【0027】

図1は、本発明にかかるシミュレーション用コンピュータおよびこれに入力されるデータを示すブロック図、図2は、第1の実施の形態にかかる半導体プロセスデバイスモデリング方法を説明する図である。図1に示すように、半導体素子100は、 Si/SiO_2 界面130をはさんで、上部 SiO_2 層110上にゲ

ート 112, 下部の Si 層 120 にドレイン 126 が形成されている。S/D プロファイル位置 132 は, インプランテーション等の条件によって変化する。

【0028】

いま, Si 層 120 を複数のセルに分割し, 界面のセル 122 における不純物パイルアップ量 $C_{int}(x)$ を計算することとする (式 1)。面積 $\Delta S(x_i, y_i)$ の任意のセル 124 から, 元の不純物量 $C(x_i, y_i)$ が移動してセル 122 に不純物量 $\Delta C(x_i, y_i)$ がパイルアップすると考える。図 1 に示すように, まず, SiO_2 層と Si 層のデータをコンピュータに入力する工程が行われる。これらはすなわち, S/D プロセス依存性および Si 層濃度依存性に関するデータ等である。

【0029】

不純物移動量 $\Delta C(x_i, y_i)$ をパイルアップ位置からの距離 r_1 と, 最も近い界面の S/D プロファイル位置 132 からの距離 r_2 の関数として決定することにより, 界面 130 に到達する不純物移動量の S/D プロセス依存性を再現できる (式 2, 3 および 4)。ここで, パラメータ A は, 逆短チャネル効果の大きさ, α および λ_1 は, S/D プロセス依存性, β および λ_2 は, Si 層濃度依存性に関するパラメータである。一例として, セルの大きさ ΔS を $10^{-4} \mu m^2$, 元の不純物量 C を $10^{17} cm^{-3}$, 不純物移動量 ΔC を $2 \times 10^{16} cm^{-3}$ (元の不純物量 C の 20%) として計算することができる。また, パラメータ A , S/D プロセス依存性 α , λ_1 , Si 濃度依存性に関するパラメータ β , λ_2 はそれぞれ 3.7×10^{-3} , 1.0, $2.0 \mu m$, 1.0, $0.5 \mu m$ とすることができる。

【0030】

例えば, S/D インプラドーズ量が増えた場合は, 界面の S/D 接合位置 132 がチャネル側にシフトするので, チャネル近傍のセルに対して, 距離 r_2 は近くなり, 界面 130 への不純物移動量が増加し, 結果として, 界面の不純物パイルアップへの S/D プロセス依存性を反映できる。

【0031】

上記方法により, 界面での不純物パイルアップへの S/D プロファイル依存性

を簡便に取り込むことができ、しかもプロセス条件に対するパイルアップ形状の予測が可能になる。

【0032】

(第2の実施の形態)

本実施の形態にかかる半導体プロセスデバイスモデリング方法は、第1の実施の形態において、距離 r_2 の S/D プロファイル参照位置を、S/D プロファイルの等濃度線 127 からの距離として決定する方法である。

【0033】

図3は、第2の実施の形態にかかる半導体プロセスデバイスモデリング方法を説明する図である。界面 130 での不純物パイルアップの大きさや形状は、S/D インプラダメージによって発生した過剰な点欠陥濃度に依存するが、初期点欠陥分布にも影響する。

【0034】

初期点欠陥分布を S/D 形状に見立てて、不純物移動量をパイルアップ位置からの距離 r_1 と、最も近い S/D プロファイルの等濃度線 127 からの距離を距離 r_2 とし、その距離 r_2 との関数として決定することにより、界面に到達する不純物移動量の S/D プロセス依存性を再現できる。

【0035】

このような方法によることにより、S/D のエネルギーやドーズ量によって変化する S/D 形状の効果を、界面 130 での不純物パイルアップ計算に反映できる利点がある。

【0036】

(第3の実施の形態)

本実施の形態にかかる半導体プロセスデバイスモデリング方法は、第1および第2の実施の形態において、基板など Si 層内の任意のセル 122 から界面 130 に到達する不純物移動量計算に立体角を考慮する方法である。

【0037】

図4は、第3の実施の形態にかかる半導体プロセスデバイスモデリング方法を説明する図である。Si 層内の任意のセル 122 から界面 130 に到達する不純

物移動量計算において、任意の S_i 層内のセル 122 から界面のセル 124 までの距離 r_1 が同じであっても、界面のセル 124 と任意の S_i 層内のセル 122 を結んだ時の断面積が異なれば、界面に到達する不純物移動量も異なるはずである。そこで、 S_i 層内の任意のセル 122 から界面に到達する不純物移動量計算に立体角 $\Delta\theta$ を考慮する。

【0038】

立体角 $\Delta\theta$ の計算方法としては、たとえば、以下の方法を用いる。まず、界面セル 124 の界面における辺 (a)、辺 (a) の 2 端の 1 つとセル 122 の代表点を結ぶ辺 (b)、辺 (a) の 2 端のもう一方の点と、セル 122 の代表点を結ぶ辺 (c) を計算する。

【0039】

次に、辺 (a)、(b)、(c) を利用して以下の計算式により立体角 $\Delta\theta$ を計算する。

$$\Delta\theta = \text{ATAN}(r / (p - a))$$

$$p = 0.5 * (a + b + c)$$

$$r = r_1^{(1/2)}$$

$$r_1 = (p - a) * (p - b) * (p - c) / p$$

(※宮本他, "基礎数学ハンドブック," 森北出版, p. 174, 1990 引用)

この $\Delta\theta$ を式 7 に代入し、式 1, 3, 4, および 6 を用いて不純物パイルアップ量 $C_{int}(x)$ を計算する。

【0040】

本実施の形態にかかる半導体プロセスデバイスモデリング方法によれば、 S_i 層内の任意のセルから界面に到達する不純物移動量計算において、立体角を考慮する事により、2 つのセル間の位置依存性が界面での不純物パイルアップ形成に反映できる利点がある。

【0041】

(第 4 の実施の形態)

本実施の形態にかかる半導体プロセスデバイスモデリング方法は、第 1, 2 および 3 の実施の形態において、 S_i 層内の任意のセルから界面への不純物移動を

，拡散方程式の生成および消滅項の利用を併用して行う方法である。

【0042】

図5は、第4の実施の形態にかかる半導体プロセスデバイスモデリング方法を説明する図である。従来の簡易モデルでは、Si層内の任意のセル122から界面に到達する不純物移動は、点欠陥の拡散が非常に速いので、瞬時にSi層内部から界面に移動することを前提にしている。ただし、実際には、移動途中で不純物の幾らかは、基板に残り、この影響は、低温熱処理になるほど顕在化してくる。

【0043】

そこで、不純物移動量の幾らかを拡散方程式の不純物生成および消滅項に割り当て、界面のセルに直接加算する方法と併用することにより、移動途中のセル上の不純物に間接的に影響を与えるようにするのが、本実施の形態にかかる半導体プロセスデバイスモデリング方法の特長である。ここで、不純物総量は解析領域で保存されなければならないので、不純物の発生量と消滅量は等しく設定しなければならない。

【0044】

図5に示すように、Si層内の任意のセルで不純物量の幾らかを消滅させ（ $-\Delta C^*$ ），界面のセル上で生成（ $+\Delta C^*$ ）させる。これらの影響は矢印で示すような不純物FLAX（J）の流れを通じて各セルへ間接的に影響を与える。一例として、 $-\Delta C^*$ を $2 \times 10^{16} \text{ cm}^{-3}$ ， $+\Delta C^*$ を $2 \times 10^{16} \text{ cm}^{-3}$ として計算することができる。

【0045】

本実施の形態にかかる半導体プロセスデバイスモデリング方法によれば、Si層内の各セルから界面へ移動する不純物量の幾らかが、移動途中で残る効果を間接的に取り入れる事ができ、これらの効果が顕在化する低温熱処理にも適用範囲を広げられる利点がある。

【0046】

（第5の実施の形態）

本実施の形態にかかる半導体プロセスデバイスモデリング方法においては、第

1 および 2 の実施の形態において、S/D 領域や孤立した同種の不純物で形成された領域が複数存在する場合の例外処理で、対象とするインプラで形成された領域と、それ以前に既に形成された領域を切り分ける方法としてマスクを利用する方法である。

【0047】

図 6 は、第 5 の実施の形態にかかる半導体プロセスデバイスモデリング方法を説明する図、図 7 は、第 5 の実施の形態にかかる半導体プロセスデバイスモデリング方法を説明するフローチャートである。

【0048】

図 6 に示すように、界面への不純物移動量計算で扱う S_i 層内の各セルから S/D 領域位置までの距離 r_2 において、界面での不純物パイルアップに寄与するインプラ領域以外にも、それ以前に既に形成されている同種の不純物で形成される孤立領域 532 等が存在する半導体素子 500 の場合には、マスク 505 を利用して、検索対象から外す。ただし、ここで言う S/D 領域とは、インプラによって過剰な点欠陥が発生する領域を差し、必ずしも S/D 領域を意図しない。

【0049】

図 6 の例では、まず、マスク指定した範囲を除いた解析領域内で、孤立した同種の不純物で形成されるインプラ領域を検索し、たとえば、セル 522 は最も近い領域 530 を参照し、セル 524 は最も近い領域 528 を参照する。セル 526 は最も近い領域 532 がマスク 505 指定範囲で検索対象外なので、領域 528 が参照される。

【0050】

図 7 に示すように、上記方法に基づき、まず、マスク指定範囲外の解析領域で、孤立インプラ領域を検索し（ステップ 601）、例えばセル 522、524 および 526 など各セルから、界面への不純物移動量を計算および移動させる（ステップ 602）。

【0051】

続いて Fair モデルによる拡散方程式を解き（ステップ 603）、熱処理時間が、時間 t_{TED} （過渡増速拡散持続時間）を超えない場合は（ステップ 60

4), ステップ601に戻り, 超えた場合は通常の拡散処理に進む。

【0052】

本実施の形態にかかる半導体プロセスデバイスモデリング方法によれば, 通常, ソフトウェアに既に搭載されているマスク指定機能を利用することにより, 少ない開発コストで, 対象とするインプラで形成された領域と, それ以外の領域の切り分けを容易にできる利点がある。

【0053】

(第6の実施の形態)

本実施の形態にかかる半導体プロセスデバイスモデリング方法は, 第1から第5の実施の形態において構成された不純物プロファイルを用いて, しきい電圧の逆短チャネル効果のモデリングに利用する方法である。

【0054】

一般に, しきい電圧の逆短チャネル効果のプロセス依存性を再現するために, 各プロセスに対応したパラメータを導入する。界面への不純物移動量を計算する際の, S_i 層内の任意のセルから界面セルまでの距離 r_1 と S/D 領域までの距離 r_2 に関連した λ_1 と λ_2 を, 点欠陥の拡散長の関数としてそれぞれ次式として表す。

【0055】

$$\lambda_1 = \alpha \times (D_i \times t_{TED}) \quad (\text{式8})$$

$$\lambda_2 = \beta \times (D_i \times t_{TED}) \quad (\text{式9})$$

ここで, α と β はパラメータであり, α は S/D プロセス依存性を表すパラメータに相当し, S/D 形成におけるプロセス依存性を吸収する。 β は S_i 層濃度依存性を表すパラメータに相当し, しきい電圧制御インプラ条件の依存性などのプロセス依存性を吸収する。また, しきい電圧の逆短チャネル効果の大きさを調節するパラメータ A を導入する。

【0056】

このようにプロセス条件に対応したパラメータを導入することにより, しきい電圧の逆短チャネル効果のプロセス条件依存性を再現でき, 少ない計算コストで, 実測値との合わせ込みが容易になる。

【0057】

図8は、上記計算方法により、しきい電圧のゲート長依存性をシミュレーションした結果を、実測値とともに示したものである。ここでは、3つのプロセス条件No. 1, 2, 3についての特性曲線が示されているが、いずれも実測値に極めて近似した結果が得られている。

【0058】

以上、添付図面を参照しながら本発明にかかる半導体プロセスデバイスモデリング方法の好適な実施形態について説明したが、本発明はかかる例に限定されない。当業者であれば、特許請求の範囲に記載された技術的思想の範疇内において各種の変更例または修正例に想到し得ることは明らかであり、それらについても当然に本発明の技術的範囲に属するものと了解される。

【0059】

例えば、本発明にかかる半導体プロセスデバイスモデリング方法は、SOIプロセスによって製造されるものでもよい。この場合は、ゲート酸化膜とBOX層に挟まれるSi層と、基板であるSi層が存在することになる。

【0060】

それらのSi層のうち、基板であるSi層は熱処理による不純物パイルアップが発生しない。これは、不純物パイルアップが、外気（ガスおよび空気）と、各層の位置関係によって決まるためである。よってこの場合には、ゲート酸化膜およびBOX層と、それらに挟まれるSi層との2つの界面について、選択的にパラメータを調節することで、本発明の方法を適用できる。

【0061】

また、プロセス条件を入力して電気特性を出力するまでのシミュレーションする部分を装置として置き換えることも可能である。

【0062】

【発明の効果】

以上説明したように、本発明によれば、Fairモデルの枠組みで、Si/SiO₂界面での不純物パイルアップのS/Dプロセス依存性および不純物パイルアップの形状を再現でき、その不純物プロファイルを利用して、しきい電圧の逆

短チャネル効果を再現できる高速計算可能な半導体プロセスデバイスモデリング方法を提供できる。

【図面の簡単な説明】

【図 1】

シミュレーション用コンピュータおよびこれに入力されるデータを示すブロック図である。

【図 2】

第 1 の実施の形態にかかる半導体プロセスデバイスモデリング方法を説明する図である。

【図 3】

第 2 の実施の形態にかかる半導体プロセスデバイスモデリング方法を説明する図である。

【図 4】

第 3 の実施の形態にかかる半導体プロセスデバイスモデリング方法を説明する図である。

【図 5】

第 4 の実施の形態にかかる半導体プロセスデバイスモデリング方法を説明する図である。

【図 6】

第 5 の実施の形態にかかる半導体プロセスデバイスモデリング方法を説明する図である。

【図 7】

第 5 の実施の形態にかかる半導体プロセスデバイスモデリング方法の工程を説明するフローチャートである。

【図 8】

第 6 の実施の形態にかかる半導体プロセスデバイスモデリング方法を説明する図である。

【図 9】

不純物拡散のメカニズムを説明する図である。

【図 10】

チャンネル長手方向距離と不純物濃度との関係を示す特性曲線図である。

【図 11】

ゲート長としきい電圧との関係を示す特性曲線図である。

【図 12】

従来の2種類の不純物拡散モデルの説明図である。

【図 13】

従来の簡易モデルの説明図である。

【図 14】

Si/SiO₂ 界面におけるパイルアップ量の分布を示す図である。

【図 15】

従来の簡易モデルにおける半導体プロセスデバイスモデリング方法の工程を示すフローチャートである。

【符号の説明】

100 半導体素子

112 ゲート

120 Si層

122 界面のセル

124 任意のセル

126 ドレイン

130 Si/SiO₂ 界面

132 S/Dプロファイル位置

C_{int} 不純物パイルアップ量

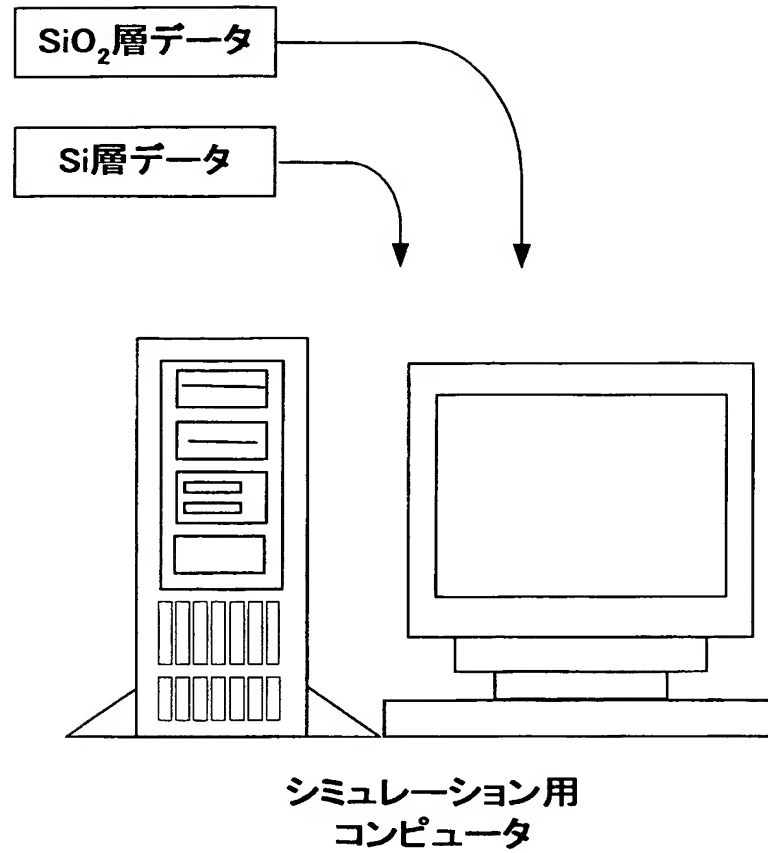
ΔC(x_i, y_j) 不純物移動量

ΔS(x_i, y_j) セルの面積

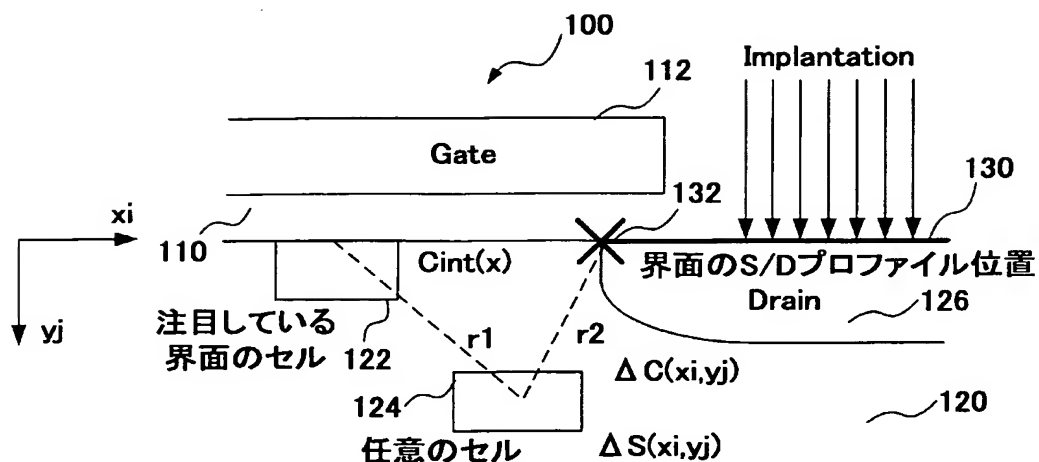
C(x_i, y_j) 不純物濃度

【書類名】 図面

【図 1】



【図 2】



S/Dプロセス条件によって
チャネル方向の界面のS/D
プロファイル位置が異なる

$$C_{int}(x) = \sum \Delta C(x_i, y_j) \quad \text{注目している界面のセルの} \quad \text{(式1)}$$

不純物パイルアップ量

$$\Delta C(x_i, y_j) = A \times P_b \times P_i \times C(x_i, y_j) \times \Delta S(x_i, y_j) \quad \text{Si層内の任意セル} \quad \text{(式2)}$$

の不純物移動量

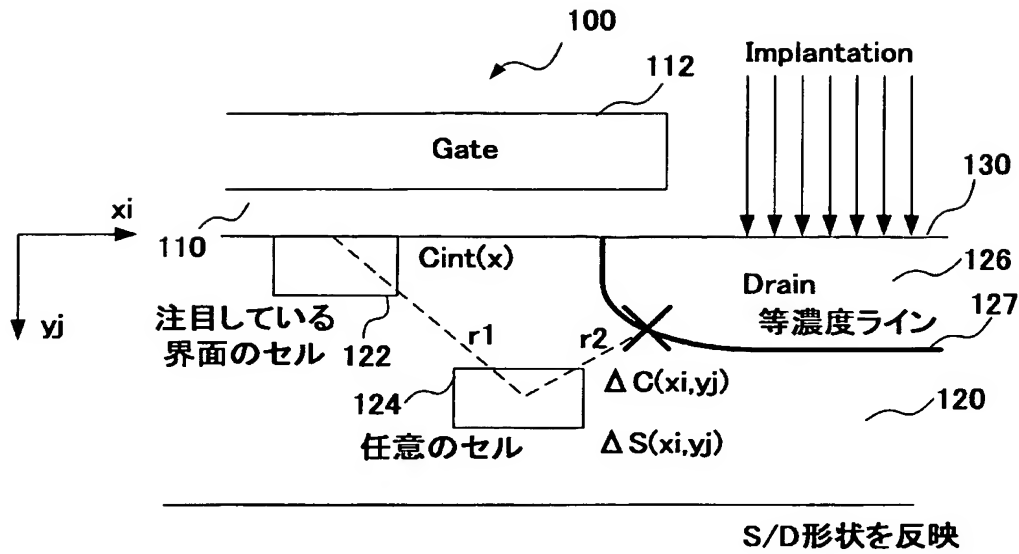
$$P_b = \exp(-r_1 / \lambda_1) \quad \text{(式3)}$$

$$P_i = \exp(-r_2 / \lambda_2) \quad \text{(式4)}$$

パラメータ: A 、 α 、 β 、 λ_1 、 λ_2

$C(x, y)$: (x, y) での不純物濃度
 $\Delta S(x, y)$: (x, y) でのセル面積

【図 3】



$$C_{int}(x) = \sum \Delta C(x_i, y_j) \quad \text{注目している界面のセルの不純物パイルアップ量} \quad (\text{式1})$$

$$\Delta C(x_i, y_j) = A \times P_b \times P_i \times C(x_i, y_j) \times \Delta S(x_i, y_j) \quad \text{Si層内の任意セルの不純物移動量} \quad (\text{式2})$$

$$P_b = \exp(-r_1 / \lambda_1) \quad (\text{式3})$$

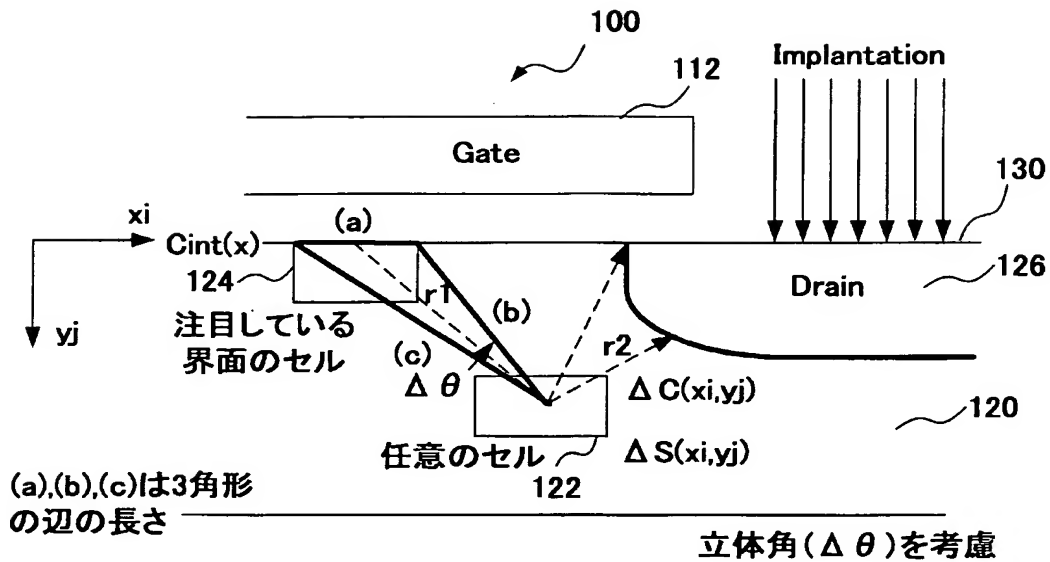
$$P_i = \exp(-r_2 / \lambda_2) \quad (\text{式4})$$

パラメータ: A 、 α 、 β 、 λ_1 、 λ_2

$C(x, y)$: (x, y) での不純物濃度

$\Delta S(x, y)$: (x, y) でのセル面積

【図 4】



$$C_{int}(x) = \sum \Delta C(x_i, y_j) \quad \text{注目している界面のセルの不純物パイルアップ量} \quad (\text{式1})$$

$$\Delta C(x_i, y_j) = A \times P_b \times P_i \times \underline{P_r} \times C(x_i, y_j) \times \Delta S(x_i, y_j) \quad (\text{式6})$$

$$P_b = \exp(-r_1 / \lambda_1) \quad (\text{式3})$$

Si層内の任意セルの不純物移動量

$$P_i = \exp(-r_2 / \lambda_2) \quad (\text{式4})$$

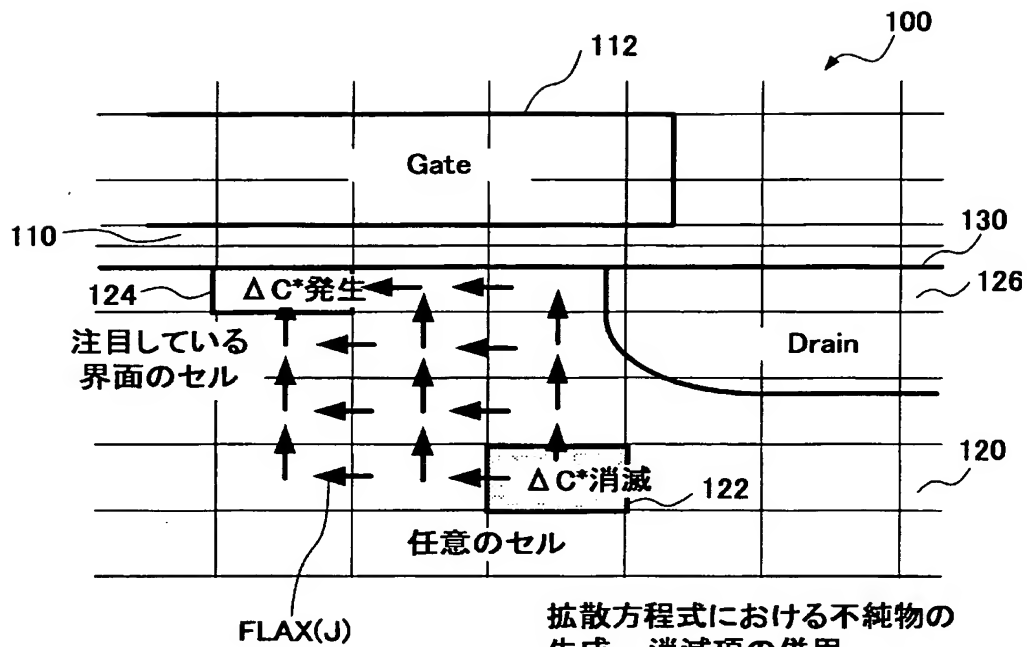
$$\underline{P_r} = \Delta \theta / 2\pi \quad (\text{式7})$$

パラメータ: A 、 α 、 β 、 λ_1 、 λ_2

$C(x, y)$: (x, y) での不純物濃度

$\Delta S(x, y)$: (x, y) でのセル面積

【図 5】



通常のセル



$$\frac{\partial C}{\partial t} + \text{div } J = 0$$

注目しているセル



$$\frac{\partial C}{\partial t} + \text{div } J = -\Delta C^* \text{ または } +\Delta C^*$$

発生: $+\Delta C^*$ 消滅: $-\Delta C^*$ [cm³/s]

ここで

$$J = -D \text{ grad } C$$

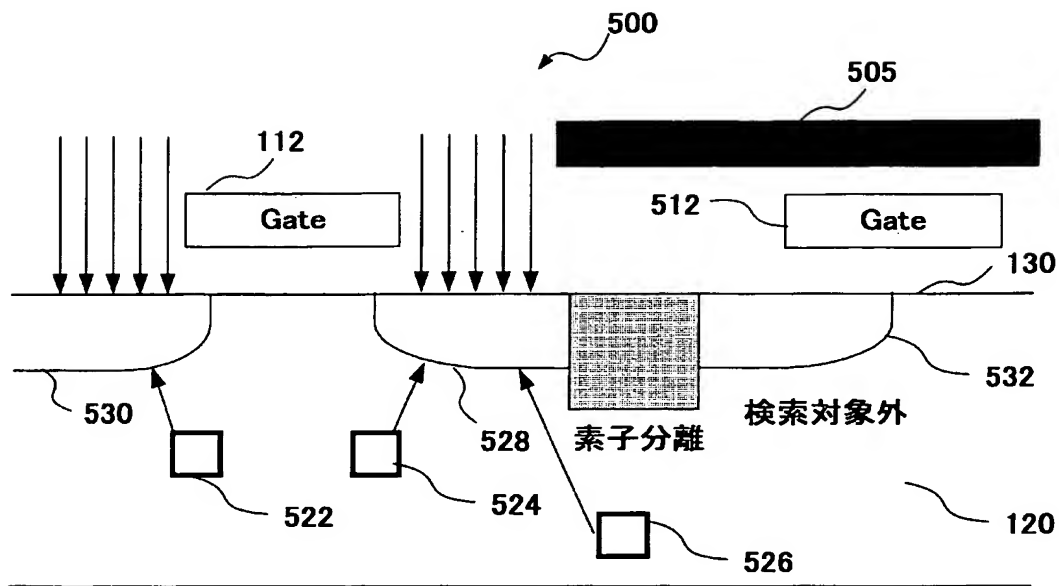
C: 不純物濃度

D: 拡散定数

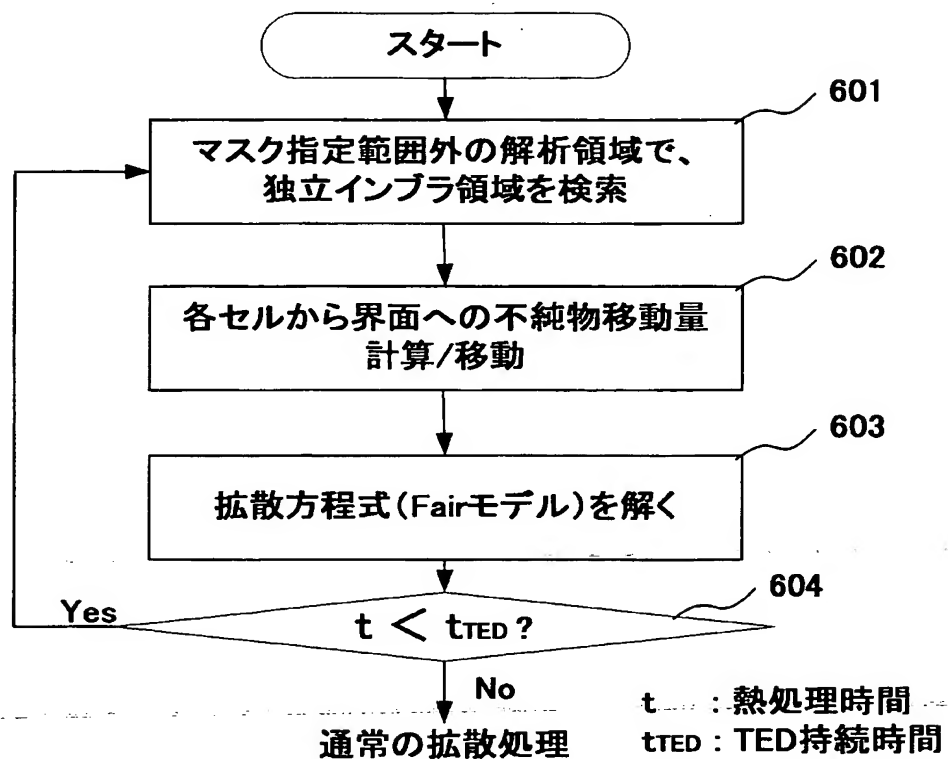
t: 時間

 ΔC^* : Cの発生あるいは消滅量

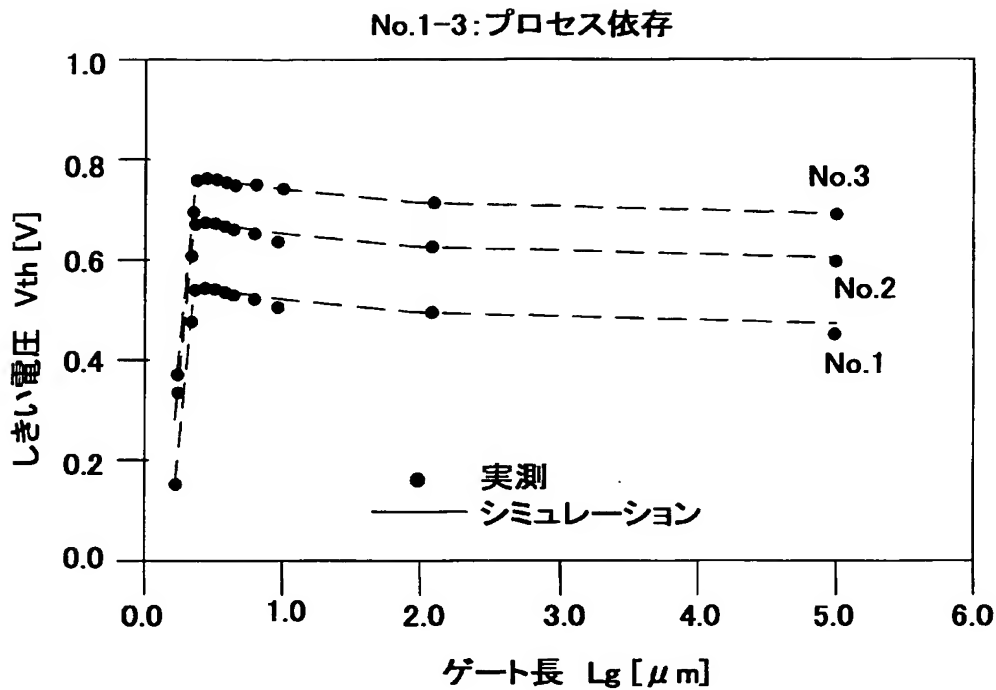
【図 6】



【図 7】



【図 8】



$$C_{int}(x) = \sum \Delta C(x_i, y_j)$$

$$\Delta C(x_i, y_j) = A \times P_b \times P_i \times P_r \times C(x_i, y_j) \times \Delta S(x_i, y_j)$$

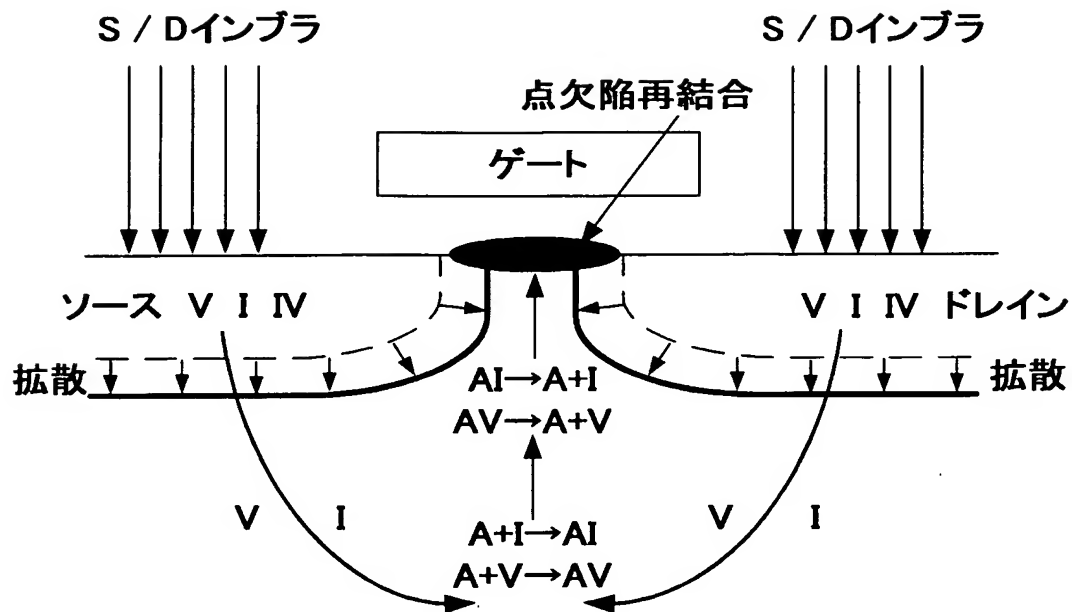
$$P_b = \exp(-\tau_1 / \lambda_1) \quad P_r = \Delta \theta / 2\pi$$

$$P_i = \exp(-\tau_2 / \lambda_2) \quad \lambda_1 = \alpha \times \sqrt{D_i t_{TED}} \quad (\text{式8})$$

$$\lambda_2 = \beta \times \sqrt{D_i t_{TED}} \quad (\text{式9})$$

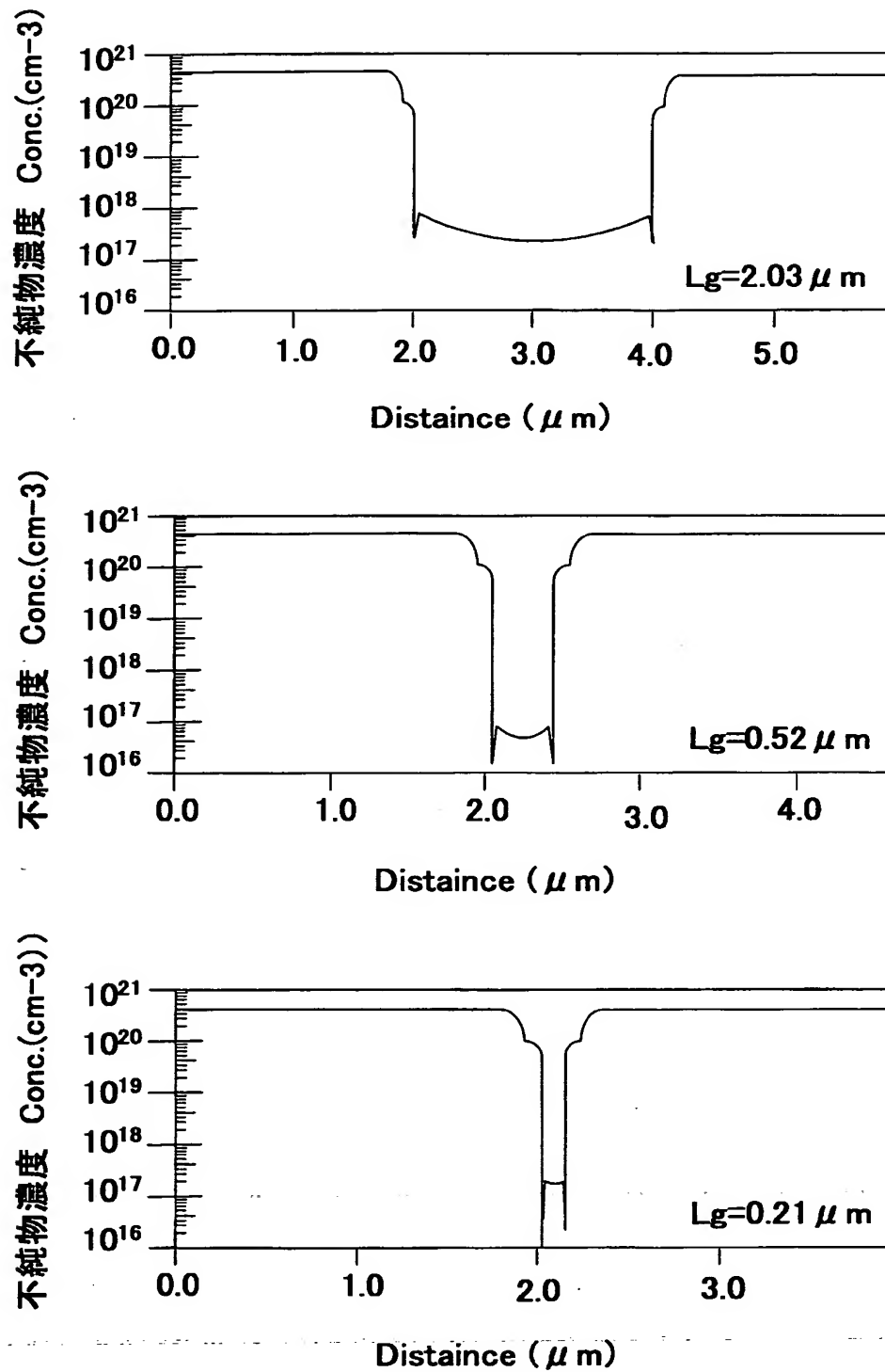
パラメータ	合わせ込み対象
A	逆短チャネル効果の大きさ
α	S/Dプロセス依存性
β	SI厚濃度依存性

【図9】

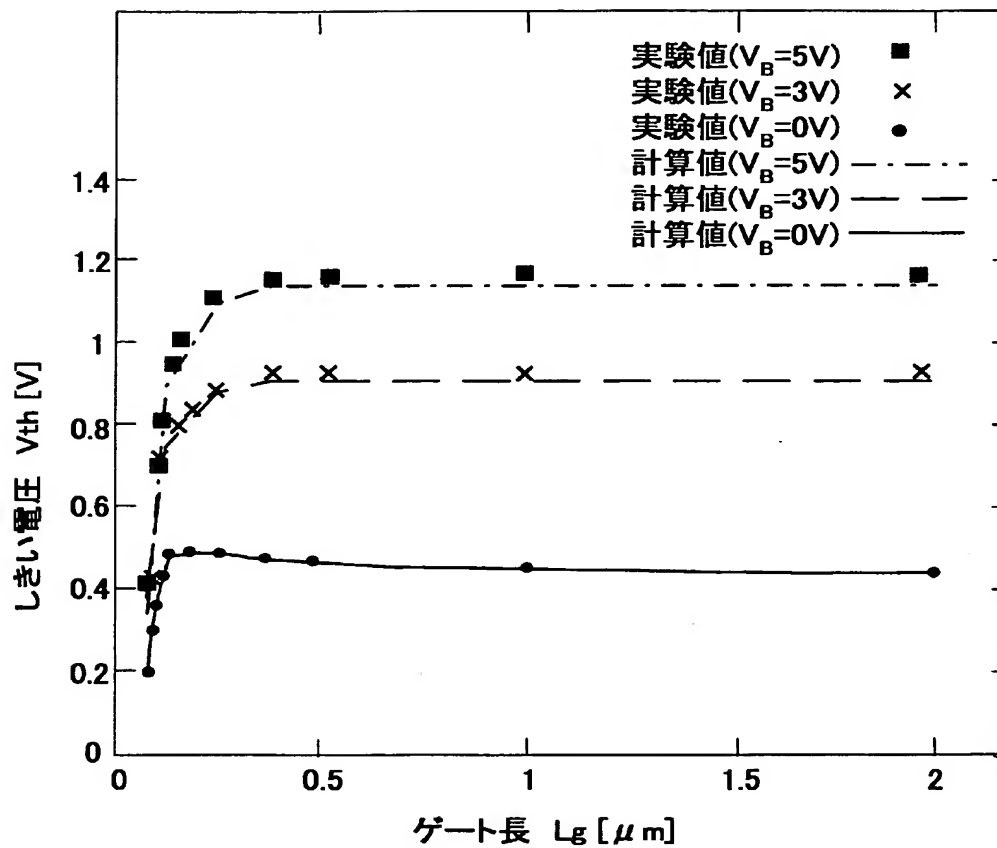


A: 不純物
 I: 格子間Si
 V: 空孔
 AI: 不純物-格子間Siペア
 AV: 不純物-空孔ペア
 IV: 格子間Si-空孔ペア

【図10】



【図 1 1】



【図 1 2】

Fairモデル

$$\partial C_A / \partial t = -\nabla J_A$$

ペア拡散モデル

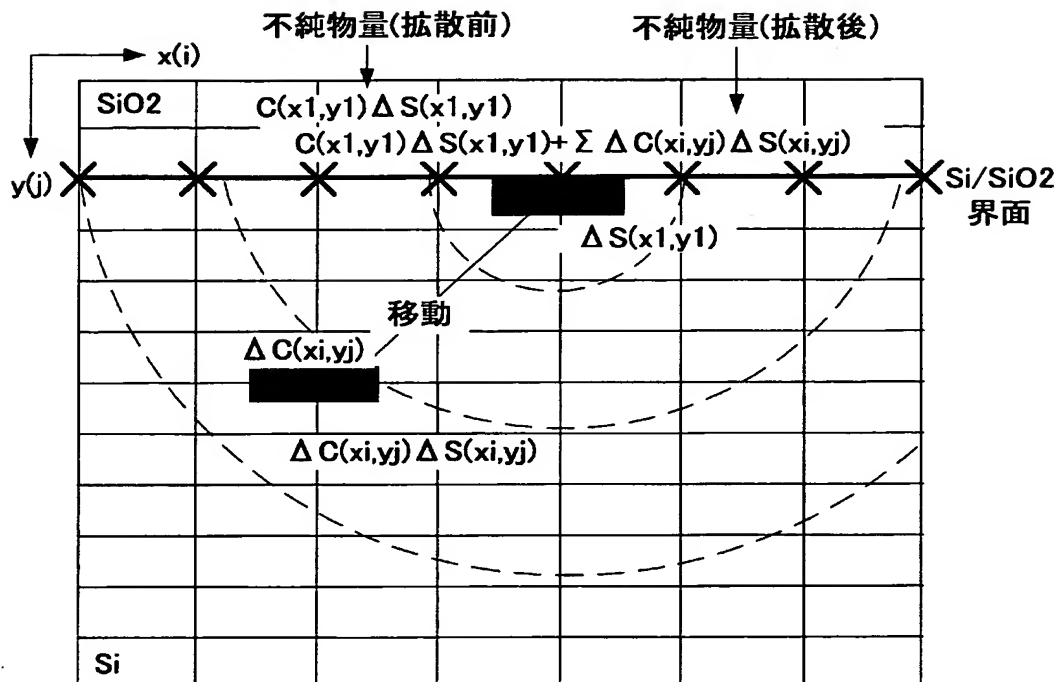
$$\partial C_I / \partial t + \sum \partial C_{AI} / \partial t = -\nabla J_I - \sum \nabla J_{AI} - R_{IV} + R_{VI}$$

$$\partial C_V / \partial t + \sum \partial C_{AV} / \partial t = -\nabla J_V - \sum \nabla J_{AV} - R_{IV} + R_{VI}$$

$$\begin{aligned} \partial C_{Atotal} / \partial t = & \nabla \{ D_{AI} C_{Atotal} (C_I / C_I^*) \nabla (\log(p C_{Atotal} C_I / C_I^* n_i)) \} \\ & + \nabla \{ D_{AV} C_{Atotal} (C_V / C_V^*) \nabla (\log(p C_{Atotal} C_V / C_V^* n_i)) \} \end{aligned}$$

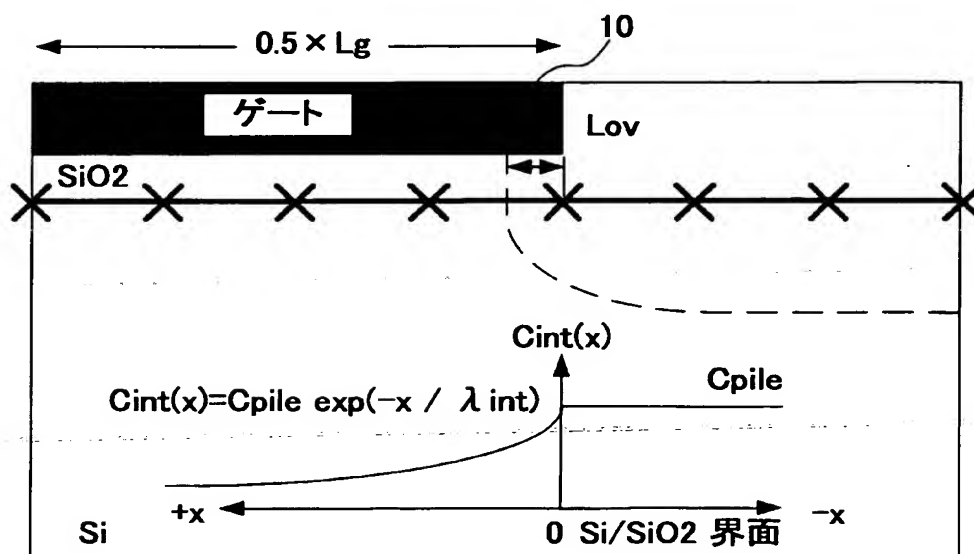
A = all dopant species, I=interstitial, V = vacancy

【図 13】

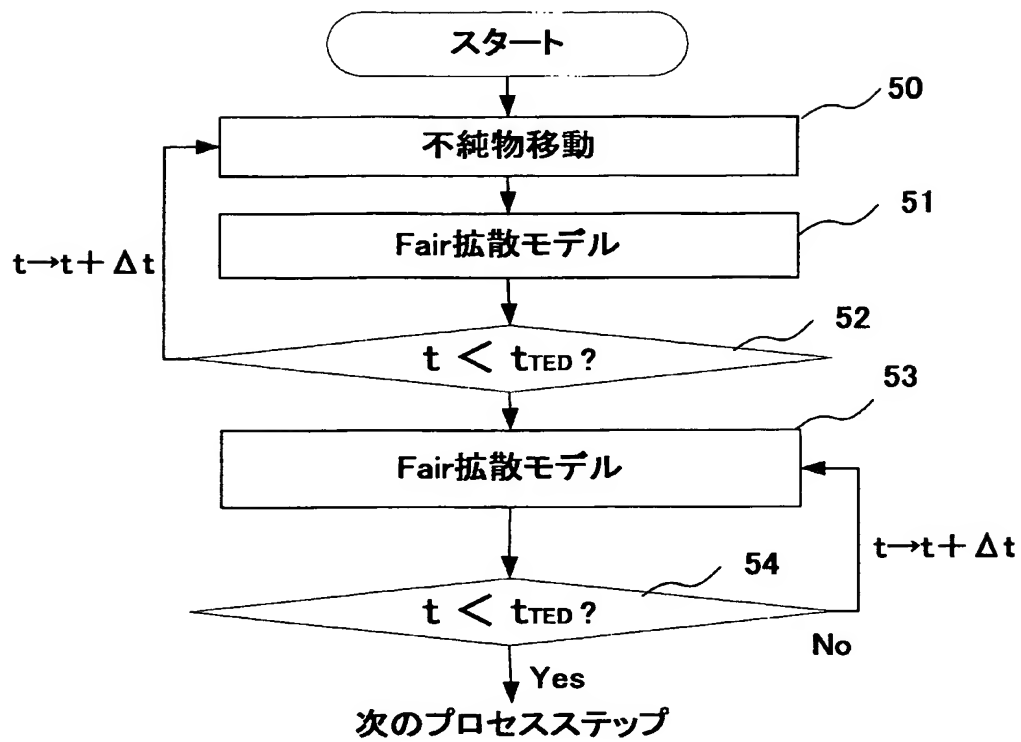


C: 不純物濃度
 ΔC : 不純物移動量
 ΔS : セル面積

【図 14】



【図 15】



【書類名】 要約書

【要約】

【課題】 S/Dプロセス依存性を考慮してSi/SiO₂界面での不純物パイルアップを再現し、しきい電圧の逆短チャネル効果を再現できる高速計算可能な方法を提供する。

【解決手段】 Si層120を複数のセルに分割し、界面のセル122における不純物パイルアップ量 $C_{int}(x)$ を計算する際(式1)、面積 $\Delta S(x_i, y_i)$ の任意のセル124から、元の不純物量 $C(x_i, y_i)$ が移動してセル122にぱいるあつぷする不純物量 $\Delta C(x_i, y_i)$ をパイルアップ位置からの距離 r_1 と、最も近い界面のS/Dプロファイル位置132からの距離 r_2 の関数として決定する(式2, 3, 4)。これを用いて、選択的にパラメータを調節し、逆短チャネル効果を計算する。

【選択図】 図2

特願 2 0 0 1 - 2 4 6 2 6 8

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 0 2 9 5]

1. 変更年月日	1 9 9 0 年 8 月 2 2 日
[変更理由]	新規登録
住 所	東京都港区虎ノ門 1 丁目 7 番 1 2 号
氏 名	沖電気工業株式会社